

Présentation

Le « Layout Viewer » ou Module de Visualisation JTAG de XJTAG vous permet de trouver rapidement l'emplacement physique des composants, des nets et des broches sur une carte. Il offre la possibilité de visualiser, dans XJDeveloper, XJInvestigator et XJRunner, les données du schéma extraites des projets ODB++.

Le « Layout Viewer » facilite la visualisation des défauts trouvés lors de l'exécution des tests. L'affichage des tests de connexion comporte des liens cliquables permettant la visualisation graphique de tous les éléments concernés du circuit.

Inclus gratuitement avec XJDeveloper, XJInvestigator et XJRunner

Le « Layout Viewer » est intégré dans XJDeveloper, XJInvestigator et XJRunner pour aider les ingénieurs à identifier rapidement les défauts.

Visualisation des éléments d'une carte électronique

L'affichage graphique avancé met en évidence les composants et les nets sélectionnés. Il est possible d'activer ou désactiver les différentes couches, facilitant la visualisation de chaque élément du circuit.

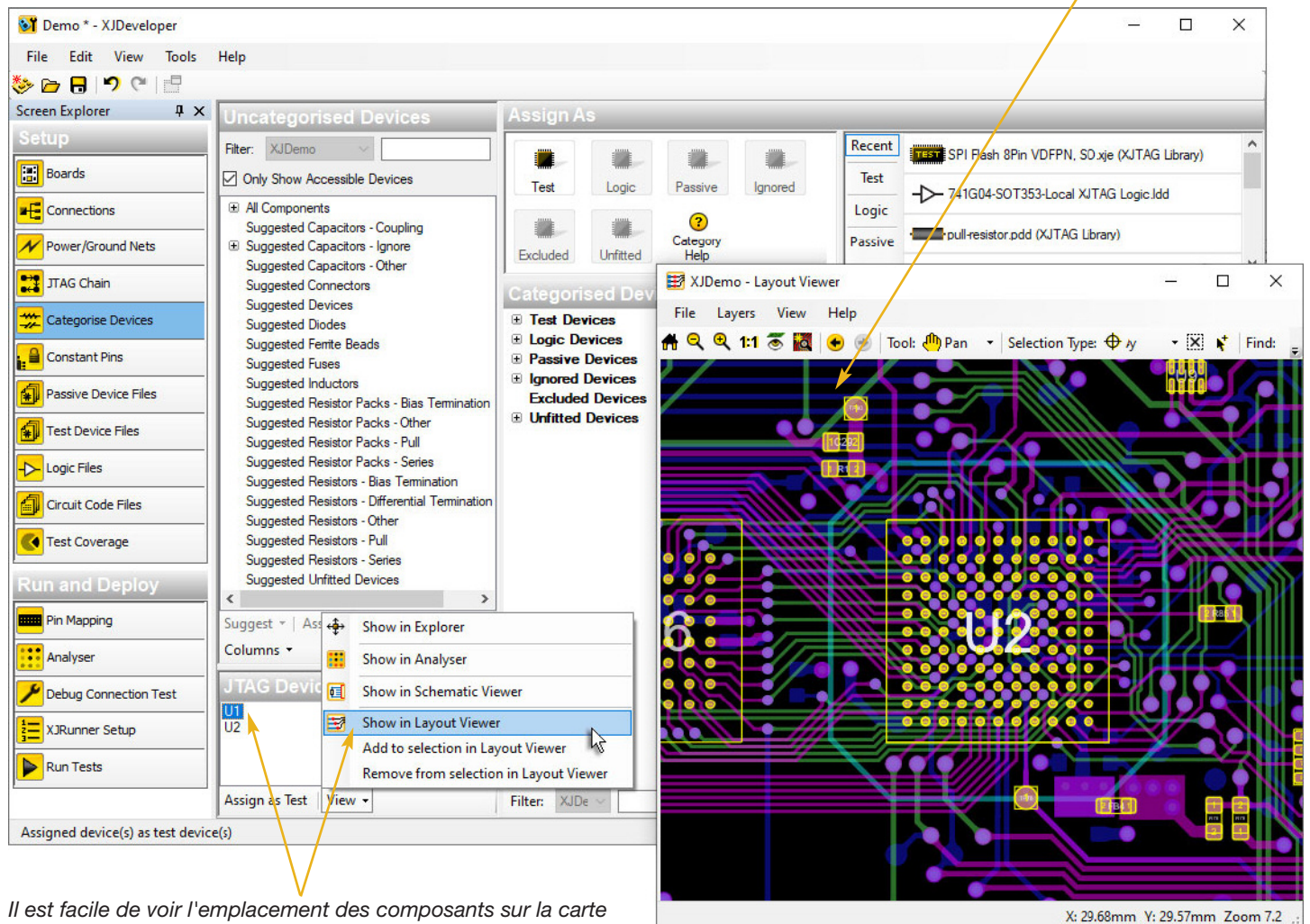
Principaux Avantages

Améliorer la productivité en visualisant l'emplacement exact des défauts à réparer

Fonctionnalités

- Aide à l'identification des points susceptibles de défauts
- Mesure de distance entre les objets
- Contrôle de la visibilité des couches
- Contrôle avancé des couches et des commandes de zoom
- Exportation des graphiques vers un fichier ou une imprimante
- Importation des images pour un affichage plus clair

« Layout Viewer » affiché dans XJDeveloper



Il est facile de voir l'emplacement des composants sur la carte

Déterminer l'emplacement des défauts en quelques secondes

Le « Layout Viewer » peut être utilisé pour localiser rapidement les défauts sur la carte en cours de test.

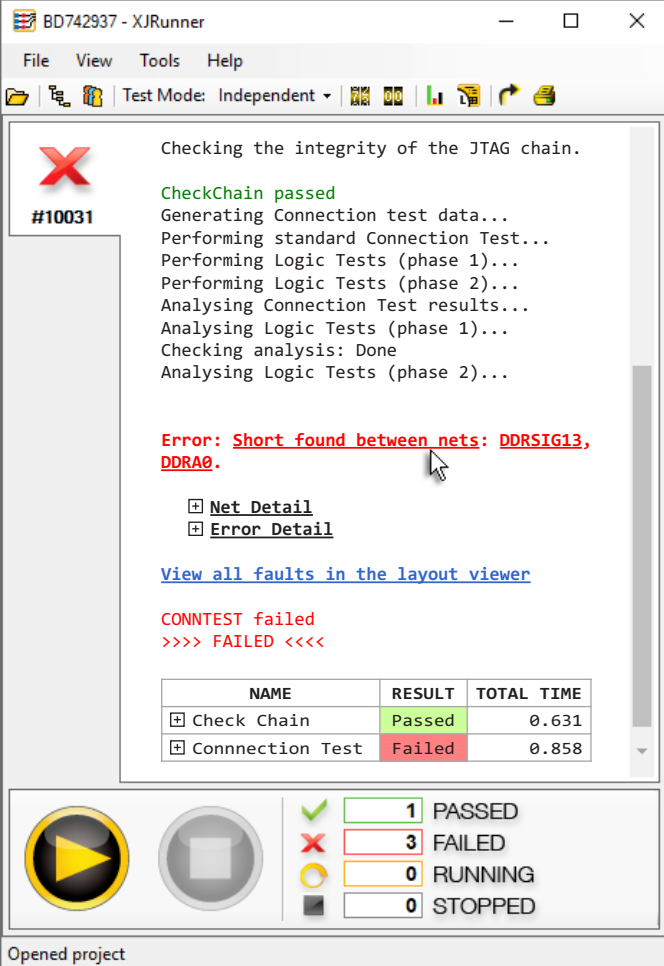
La sortie textuelle de XJRunner fournit des informations détaillées sur les types de fautes et sur les nets impliqués. Il y a aussi des liens cliquables qui permettent une visualisation facile. En montrant le

routage des nets, le « Layout Viewer » permet de localiser les défauts en montrant les zones de problèmes potentiels.

Dans l'exemple ci-dessous, XJRunner rapporte que le Test de Connexion a échoué, et a identifié deux nets qui sont court-circuités. En regardant le routage, il est facile de déterminer que les quatre

endroits les plus probables sont les broches des puces mémoires. Il est peu probable que le défaut soit sous le boîtier BGA, les broches n'étant pas côte à côte.

En examinant les quatre endroits sur la carte, il était facile d'identifier que le problème était un défaut de soudure sur IC31.



Checking the integrity of the JTAG chain.

#10031

CheckChain passed
 Generating Connection test data...
 Performing standard Connection Test...
 Performing Logic Tests (phase 1)...
 Performing Logic Tests (phase 2)...
 Analysing Connection Test results...
 Analysing Logic Tests (phase 1)...
 Checking analysis: Done
 Analysing Logic Tests (phase 2)...

Error: Short found between nets: DDRSIG13, DDRA0.

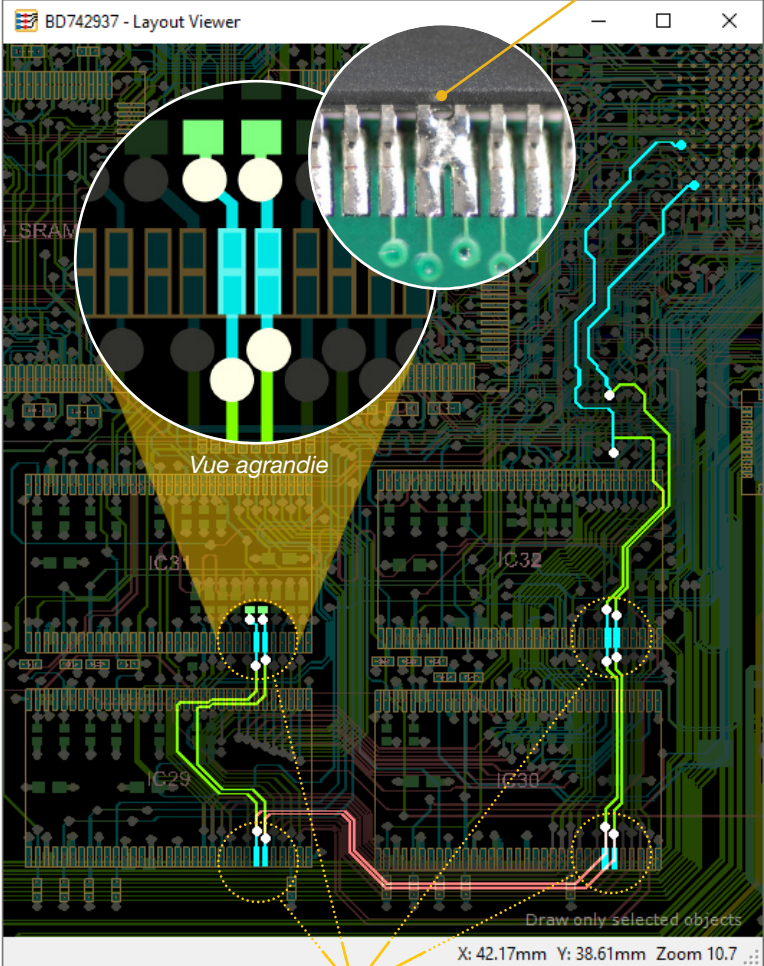
[Net Detail](#)
[Error Detail](#)

[View all faults in the layout viewer](#)

CONNTEST failed
 >>> FAILED <<<<

NAME	RESULT	TOTAL TIME
Check Chain	Passed	0.631
Connection Test	Failed	0.858

Opened project

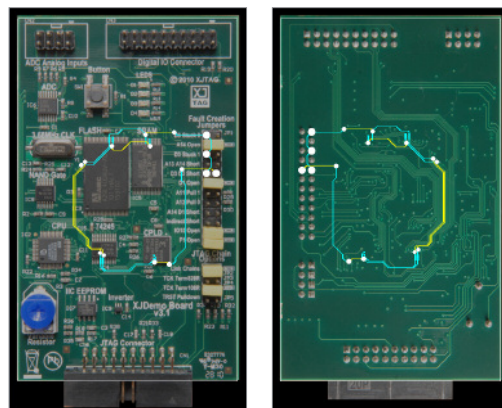


Court-circuit identifié

Vue agrandie

Draw only selected objects
 X: 42.17mm Y: 38.61mm Zoom 10.7

Les endroits les plus susceptibles de courts-circuits



Importation d'images

Pour aider davantage à identifier l'emplacement physique des défauts sur une carte, des photos face avant et face arrière peuvent être importées.

Ces images peuvent ensuite être affichées derrière les données CAO avec les composants et les nets mis en évidence.

Distributeur / Partenaire technologique

www.xjtag.com/partners