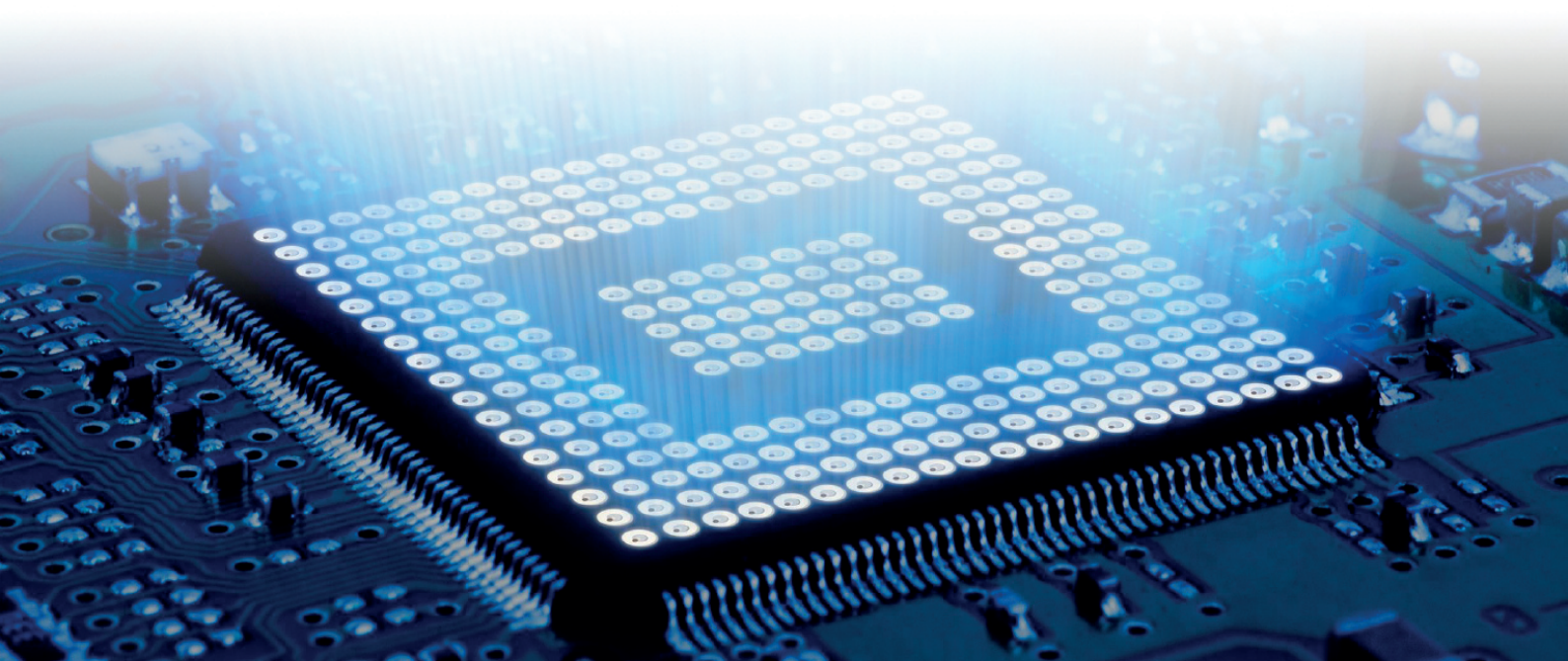




# Co to jest JTAG?

---

i w jaki sposób mogę z  
niego skorzystać?

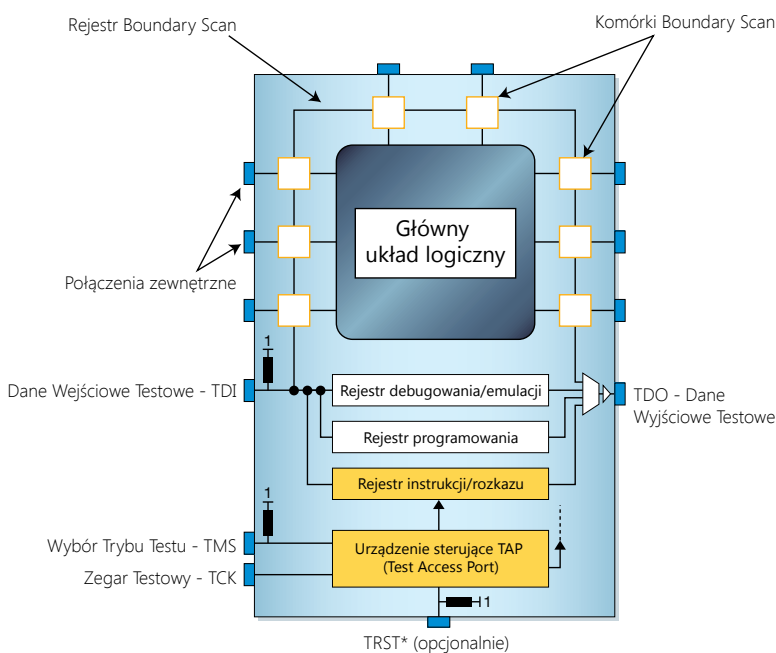
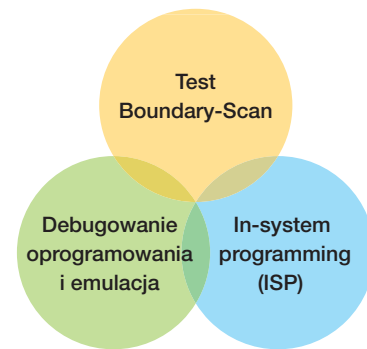


## JTAG to więcej, niż debugowanie i programowanie

Mogą Państwo znać się na JTAG, ponieważ używają Państwo narzędzia z interfejsem JTAG. Procesory często używają interfejsów JTAG, aby zapewnić dostęp do ich funkcji debugowania bramek FPGA (Field-Programmable Gate Arrays) oraz złożonych układy elektroniczne CPLD (Complex Programmable Logic Devices) wykorzystując JTAG w celu zapewnienia dostępu do ich funkcji programowania.

**JTAG jest NIE TYLKO technologią do debugowania/emulacji procesora.**  
**JTAG jest NIE TYLKO technologią do programowania złożonych programowalnych układów elektronicznych.**

Narzędzia debugowania i programowania powszechnie związane z JTAG wykorzystują tylko jeden aspekt podstawowej technologii – 4-przewodowy protokół komunikacyjny JTAG.



Te cztery sygnały, znane pod wspólną nazwą jako Test Access Port (testowy port dostępu) albo TAP, są częścią standardu IEEE 1149.1. Standard ten został opracowany w celu dostarczenia technologii do testowania zespołów płytek obwodów drukowanych (PCBA) bez konieczności fizycznego dostępu do poziomu wymaganego dla testowania łoża fabryka (z wystającymi szpilkami) lub ilości dopasowanej do potrzeb klienta (opracowywanej na zlecenie użytkownika) potrzebnej do testu funkcjonalnego. TAP został zaprojektowany do współdziałania z nowymi rejestrami, które zostały dodane do urządzeń do wdrożenia tej metody testowania.

Jednak bardzo szybko producenci krzemu dostrzegli korzyści płynące z korzystania z TAP, aby uzyskać dostęp do rejestrów oferując inne funkcjonalności takie, jak debugowanie i programowanie.

Główny rejestr dodany do urządzenia specjalnie do testowania JTAG nazywany jest Rejestr Boundary-Scan (BSR). Jak sama nazwa wskazuje, poszczególne bity lub komórki tego rejestru są na granicy urządzenia, między jego rdzeniem funkcjonalnym, a pinami, poprzez które jest podłączony do płyty (płytki drukowanej) – bardzo często testowanie JTAG jest określane, jako boundary-scan (skanowanie graniczną ścieżką obserwacyjno-sterującą).

## W jaki sposób JTAG Boundary-Scan jest wykorzystywany do testowania płytki drukowanej

Komórki Boundary-Scan (patrz powyżej) mogą pracować w dwóch trybach. W ich trybie funkcjonalnym nie mają żadnego wpływu na działanie urządzenia – jest to tryb, w którym działają, gdy płytka drukowana pracuje normalnie. W ich trybie testowym odłączają rdzeń funkcjonalny urządzenia od pinów. Poprzez umieszczenie komórek boundary-scan w trybie testowym mogą być one wykorzystane do kontroli wartości sterowanych z włączonego urządzenia do sieci, a także mogą być wykorzystywane do monitorowania wartości tej sieci.

Odłączenie sterowania pinów od funkcji włączonego urządzenia sprawia, że rozwój testu boundary-scan jest znacznie łatwiejszy od tradycyjnego testu funkcjonalnego, ponieważ do używania pinów nie jest wymagane żadna konfiguracja urządzenia albo rozruch. Przez dostarczenie mechanizmu do kontroli i monitorowania wszystkich włączonych/uaktywnionych sygnałów na urządzeniu z 4-pinowego TAP, JTAG znacznie zmniejsza fizyczny dostęp wymagany do przetestowania płytki drukowanej.

Istnieją dwa główne sposoby, aby ta możliwość boundary-scan mogła być wykorzystana do testowania płytki drukowanej. Pierwszy sposób, testowanie połączenia (patrz następny paragraf) daje dobry zasięg testu, szczególnie dla uszkodzeń zwarciovych. Jest on oparty wyłącznie na możliwościach urządzenia JTAG, połączeniach i sieciach na płycie drukowanej oraz – w przypadku XJTAG – na funkcjonalności logiki na płycie drukowanej. Drugi sposób rozszerza ten zakres za pomocą uaktywnionych urządzeń JTAG na płycie drukowanej do komunikowania się z urządzeniami peryferyjnymi bez JTAG, takimi jak pamięć o dostępie bezpośrednim (RAM) DDR o podwójnej szybkości transmisji danych i pamięć flash.

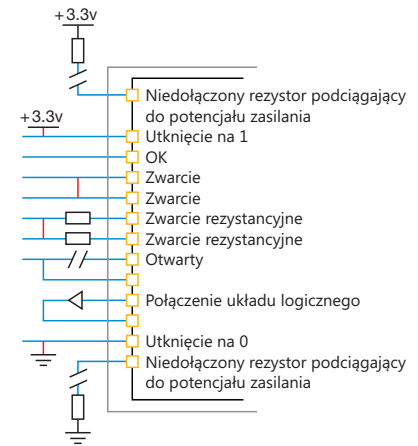
## Co to jest testowanie połączenia JTAG?

Testowanie połączenia JTAG sprawdzi, czy połączenia wokół urządzeń umożliwiających współdziałanie z JTAG na płycie drukowanej są takie same, jak te określone w projekcie.

Tam, gdzie dwa włączone piny JTAG są przeznaczone do podłączenia, test pozwoli upewnić się, że jeden pin może być sterowany przez inny. Tam, gdzie włączone piny nie są przeznaczone do podłączenia, są one testowane pod kątem uszkodzeń zwarciovych przez jeden pin prowadzący i upewniając się, czy te wartości nie są odczytywane na innych pinach.

Dzięki testowi połączenia, mogą być również znalezione brakujące rezystory podciągające do potencjału zasilania oraz uszkodzenia "utknięcia na", jak również defekty obejmujące urządzenia logiki, których zachowanie może być opisane w macierzy prawdziwości.

XJTAG będzie automatycznie generować wektory wymagane do uruchomienia testu połączenia na podstawie wykazu sieci płytki drukowanej oraz informacje JTAG dla uaktywnionych urządzeń.



## Co z urządzeniami, które nie umożliwiają współdziałania z JTAG?

Podczas, gdy główne urządzenia takie, jak procesory oraz bezpośrednio programowalne macierze bramek (FPGA), umożliwiają zwykle współdziałanie z JTAG, w każdym projekcie będzie wiele takich urządzeń, które nie umożliwiają takiego współdziałania. Pamięci DDR, SDRAM (rodzaj pamięci DRAM pracującej synchronicznie z magistralą systemową), SRAM (statyczna pamięć o dostępie bezpośrednim), pamięć flash, zarządzanie danymi wejściowymi i wyjściowymi (MDIO) sterowanymi urządzeniami warstwy fizycznej (PHY) sieci Ethernet, SPI oraz czujniki temperatury układów scalonych typu I<sup>2</sup>C, zegary czasu rzeczywistego, przetworniki analogowo-cyfrowe (ADC) i przetworniki cyfrowo-analogowe (DAC), to tylko kilka przykładów takich urządzeń.

Test połączenia będzie nadal zapewniać doskonały zasięg uszkodzeń zwarciovych w sieciach, łącząc urządzenia bez JTAG z aktywowanymi urządzeniami JTAG; jednakże nie może on sprawdzać uszkodzeń obwodu otwartego ani w żadnym urządzeniu JTAG, ani też w urządzeniu bez JTAG.

Aby dodać ten zasięg obwodu otwartego konieczne jest komunikowanie się z urządzeniem peryferyjnym wg boundary-scan na aktywowanym urządzeniu. Jeśli komunikacja może być zweryfikowana, nie może być usterki obwodu otwartego. Ten rodzaj testowania może być bardzo prosty, na przykład oświetlenie LED i poproszenie operatora w celu sprawdzenia, czy nie zostało ono aktywowane lub bardziej złożony, na przykład zapis danych do tablicy pamięci RAM i czytanie go wsteczne.

## Czy jest dużo pracy, by stworzyć system testowy JTAG?

Przy użyciu bibliotek dla standardowych podzespołów bez JTAG dostarczanych przez XJTAG, można uzyskać zestaw testów i do uruchomienia na płycie drukowanej bez wywoływania kodowania. Pliki biblioteki zawierają modele dla wszystkich typów urządzeń bez JTAG od prostych rezystorów i buforów do urządzeń o złożonej pamięci takich, jak DDR3. Ponieważ boundary-scan rozłącza sterowanie pinów na urządzeniach JTAG od ich funkcjonalności, ten sam model może być wykorzystywany niezależnie od urządzenia JTAG sterującego urządzeniem peryferyjnym.

Większość płytek drukowanych zawiera już nagłówki JTAG do programowania lub debugowania, więc nie ma dodatkowych wymagań projektowych.

## Gdzie mogę uzyskać informacje na temat JTAG w moich urządzeniach?

Aby uruchomić jakikolwiek boundary-scan na podstawie testowania, niezbędne jest posiadanie pewnych informacji o wdrożeniu JTAG na włączonych urządzeniach na płycie (płycie drukowanej). Informacja ta pochodzi z plików BSDL (języka opisu Boundary-Scan) dla tych urządzeń. Pliki BSDL muszą być udostępnione przez sprzedawcę podzespołów elektronicznych zastosowanych w urządzeniu, które są zgodne ze standardem 1149.1. IEEE.

## Czy test JTAG jest dopiero co wykorzystywany w produkcji?

Wcale nie. Jedną z kluczowych zalet testowania boundary-scan jest to, że tylko wymagany testowany sprzęt komputerowy jest urządzeniem sterującym JTAG. Inne techniki testu produkcyjnego takie, jak sonda przemieszczająca się nad testowanym obiektem, zautomatyzowana inspekcja optyczna, rentgenowska lub z wykorzystaniem zespołu głowic szpilkowych w postaci macierzy sond, wszystkie wymagają specjalistycznego oprzyrządowania testowego, które nie będą dostępne na pulpicie inżyniera.

Wykorzystanie boundary-scan podczas obserwacji na ekranie komputera może usunąć wątpliwości inżynierów sprzętu komputerowego, którzy mogą przetestować prototypowe płytki drukowane pod kątem wad produkcyjnych, jeszcze przed testowaniem produktu, oraz zanim oprogramowanie układowe nie jest jeszcze kompletne. Systemy testowe opracowane na tym wczesnym etapie cyklu życia produktu mogą być łatwo ponownie użyte, oraz rozszerzone na produkcję.

# Dlaczego powinienem używać JTAG Boundary-Scan do testowania moich płytek drukowanych?

## Trzy proste litery – BGA

Coraz większa ilość urządzeń dostarczana jest w opakowaniach BGA (Ball Grid Array), czyli technologii montażu powierzchniowego używanego dla układów scalonych. Każde urządzenie BGA na płycie drukowanej nakłada poważne ograniczenia w zakresie testowania, które może się odbywać przy użyciu tradycyjnych maszyn typu zespołu głowic szpilkowych w postaci macierzy sond lub sondy przemieszczającej się nad testowanym objektem.

Za pomocą prostego interfejsu 4-pinowego, JTAG boundary-scan pozwala na sterowanie i monitorowanie sygnałów na aktywowanych urządzeniach bez żadnego bezpośredniego dostępu fizycznego.

## Jednorazowe koszty inżynierskie

Jednorazowe koszty inżynierskie (NRE) konstruowania stałych testowych elementów oprzyrządowania mogą być niewspółmiernie wysokie. W wielu przypadkach używając JTAG boundary-scan wyeliminujemy potrzebę takiego oprzyrządowania, w innych przypadkach oprzyrządowanie testowe może być znacznie uproszczone przynosząc w rezultacie znaczne oszczędności kosztów.

## Krótsze czasy testowania

W przypadku płytek drukowanych o niskim wolumenie produkcji, zawsze było trudne uzasadnienie kosztów opracowania oprzyrządowania testowego. W tych przypadkach jedną alternatywą jest testowanie typu "flying probe" (sondy przemieszczającej się nad testowanym objektem); jednak czasy cyklu testu wydają się być wysokie dla tej technologii. Test JTAG boundary-scan daje szybkie czasy testów bez konieczności stosowania kosztownego oprzyrządowania.

## Niższe koszty prac rozwojowych i opracowywania testów

Ponieważ różne procesory typu FPGA komunikują się z urządzeniami peryferyjnymi na różne sposoby, tradycyjny test funkcjonalny wymaga kosztownego dopasowania do potrzeb klienta dla każdej płytki drukowanej. JTAG boundary-scan znacznie zmniejsza takie koszty, ponieważ zapewnia uproszczony interfejs do sterowania pinami wejście-wyjście służącymi do komunikowania się z urządzeniami peryferyjnymi. Ten standardowy interfejs, który jest taki sam dla wszystkich aktywowanych urządzeń JTAG, oznacza ogólny zestaw modeli testów, które mogą być stosowane i ponownie wykorzystywane przy budowie systemów testujących.

### Na temat XJTAG



XJTAG jest światowym, wiodącym dostawcą standardu 1149.x IEEE (Instytutu Inżynierów Elektryków i Elektroników) dla boundary-scan zgodnego z systemami oprogramowania i sprzętu komputerowego, który koncentruje się na rozwoju innowacyjnych produktów i na wsparciu technicznym wysokiej jakości. Firma ma swoją siedzibę w Cambridge, w Wielkiej Brytanii i ściśle współpracuje z ponad 50. doświadczonymi, profesjonalnymi dystrybutorami i partnerami technologicznymi na całym świecie. XJTAG dostarcza szeroką gamę rozwiązań testów typu boundary-scan dla klientów w szerokiej gamie branż, w tym w przemyśle lotniczym, motoryzacyjnym, obronnym, w branży medycznej, w produkcji, tworzeniu sieci i w telekomunikacji.

## Jedno narzędzie do testu i programowania

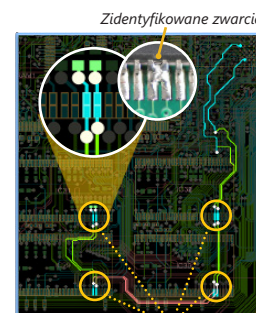
JTAG jest już często używany, jako jeden krok w produkcji: w programowaniu. Używając JTAG również dla testu boundary-scan możliwe jest zmniejszenie liczby kroków i czynności dotyczących obsługi w procesie produkcji.

## Testy poziomu produkcji na stole warsztatowym/pulpicie inżyniera dla prototypowych płytek drukowanych

Tradycyjne technologie testowania wymagają bardzo dużego i kosztownego wyposażenia. Jedynym wyposażeniem testowym wymaganym dla testowania JTAG boundary-scan jest urządzenie sterujące JTAG – urządzenie sterujące XJLink2 jest pod względem wielkości podobne do myszy komputera osobistego.

## Doskonała diagnostyka usterek

JTAG boundary-scan, w przeciwieństwie do testu funkcjonalnego, zapewnia informację o usterce o wysokiej dokładności, aby pomóc przy szybkiej naprawie. XJTAG zapewnia również możliwość oglądania zarówno fizycznej lokalizacji usterek na układzie płytki drukowanej, jak i logiczną konstrukcję obszaru obwodu, w którym usterka istnieje na schemacie.



Najbardziej prawdopodobne lokalizacje zwarcia

## Odzyskiwanie "martwych" płytek drukowanych tam, gdzie nie działałby test funkcjonalny

Testy JTAG boundary-scan mogą być uruchamiane na jakiegokolwiek płycie drukowanej z interfejsem roboczym JTAG. Tradycyjne testy funkcjonalne nie mogą być uruchamiane, jeżeli płytka drukowana nie uruchamia się; pospolite usterki na kluczowych urządzeniach peryferyjnych, takie jak usterki pamięci RAM lub zegarów, mogłyby być znalezione za pomocą JTAG, ale uniemożliwiałyby testy funkcjonalne z dostarczaniem wszelkich informacji diagnostycznych.

# Special Offer

## Free Board Setup + Free XJTAG Trial



- Do you design boards with BGAs on?
- Does your hardware include FPGAs, CPLDs, DSPs or microprocessors?
- Would you like to debug your boards, detect faults and prove your design quickly and easily?

Well, this is where **XJTAG Boundary Scan** can help by offering you a **FREE 30-day trial of XJTAG on your own board.**

Yes, that's right, XJTAG will set up its test system on your board for free when you take a 30-day trial.

**Apply today and discover how XJTAG can help you save time and money**

### Find out why leading companies are using XJTAG

“XJTAG is an absolute necessity for any company designing complex circuits that feature high pin count BGA or chip scale devices.”

“XJTAG is easy to use and incredibly fast, which has enabled us to shave weeks off the development schedule for our RFeye module thereby freeing our development team from time-consuming debugging tasks.”

Alistair Massarella, CEO – CRFS

### ARM Case Study



### ARM selects XJTAG for RealView development tools debug and test

ARM, the world's leading semiconductor intellectual property (IP) supplier, has reduced the time and cost of developing its range of RealView® development tools by using the XJTAG boundary scan development system to improve and speed up the process of debugging and testing its high density, multi-layer development boards.

Apply now

[www.xjtag.com/trial](http://www.xjtag.com/trial)