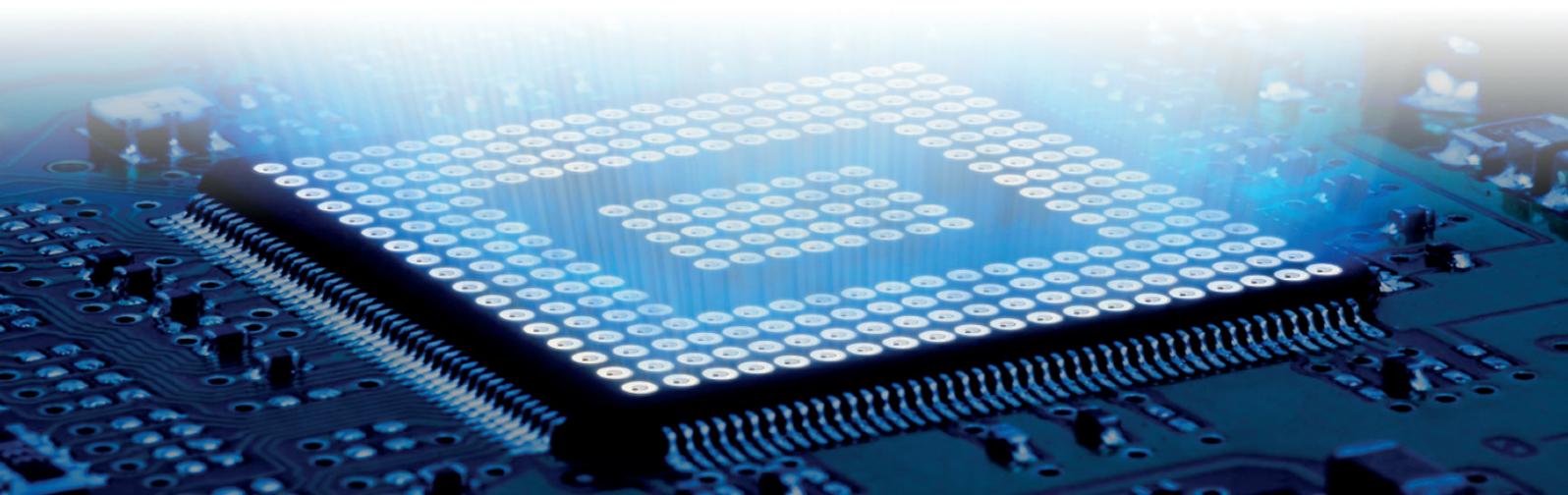




# Was ist JTAG?

---

und wie kann ich  
es nutzen?



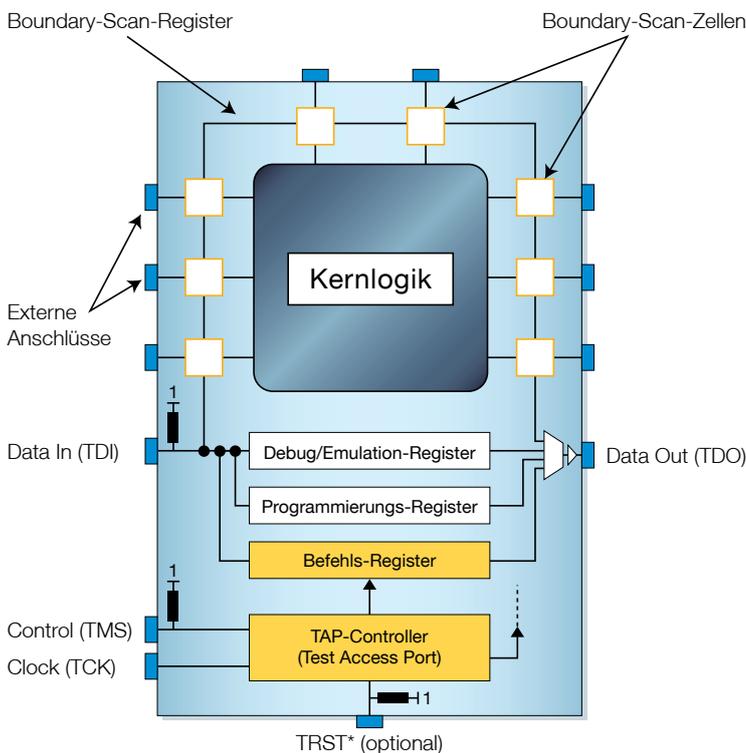
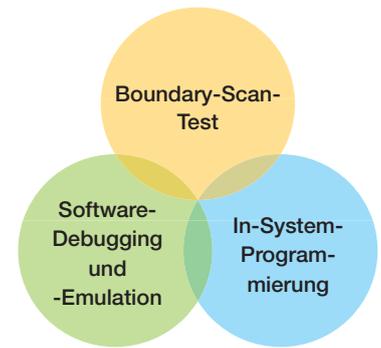
**Ein Leitfaden von XJTAG** – weltweit führender Anbieter von JTAG/Boundary-Scan-Tools

## JTAG bietet mehr als nur Debugging und Programmierung

Sie sind eventuell mit JTAG vertraut, weil Sie bereits Tools mit einer JTAG-Schnittstelle verwendet haben. Bei Prozessoren wird JTAG häufig für den Zugang zu ihren Debugging- und Emulationsfunktionen genutzt und bei allen FPGAs und CPLDs wird JTAG für den Zugang zu ihren Programmierfunktionen angewendet.

**JTAG ist NICHT NUR eine Technologie für Prozessor-Debugging bzw. -Emulation.  
JTAG ist NICHT NUR eine Technologie für die Programmierung von FPGAs/CPLDs.**

Die Debugging- und Programmierertools, die üblicherweise mit JTAG verbunden werden, nutzen nur einen Aspekt der zugrundeliegenden Technologie – die Vierdraht-JTAG-Kommunikationsschnittstelle.



Diese vier Signale, zusammen bekannt als der Test Access Port (TAP), sind Teil des Standards IEEE 1149.1. Dieser wurde entwickelt, um eine Technologie für das Testen bestückter Leiterplatten (Printed Circuit Board Assemblies – PCBAs) bereitzustellen – mit geringerem physischen Zugang im Vergleich zu Nadelbetttests und mit geringerem Aufwand für kundenspezifische Entwicklung, die für den Funktionstest notwendig ist. Der TAP wurde für die Interaktion mit den Registern entwickelt, mit denen Bausteine zur Implementierung dieses Testverfahrens ergänzt wurden.

Schon sehr schnell erkannten IC-Hersteller die Vorteile der TAP-Nutzung für den Zugang zu Registern, die auch andere Funktionen bieten, wie z. B. Fehlersuche und Programmierung.

Das wichtigste Register, mit dem Bausteine speziell für den JTAG-Test ergänzt werden, wird Boundary-Scan-Register (BSR) genannt. Wie der Name schon verrät, befinden sich die einzelnen Bits oder Zellen dieses Registers an der Grenzschicht (Boundary) des Bausteins zwischen seiner Kernlogik und den Pins oder Lötkegeln, über die er mit einer Leiterplatte verbunden ist. Der JTAG-Test wird häufig als Boundary-Scan bezeichnet.

## Wie führt man XJTAG-Platinentests mit JTAG-Boundary-Scan durch?

Boundary-Scan-Zellen (siehe Abb. oben) können zwei Betriebsarten haben. Im Funktionsmodus haben sie keinen Einfluss auf die Funktion des Bausteins. Dies ist die Betriebsart für den Normalbetrieb der Platine. Im Testmodus trennen sie die funktionelle Kernlogik des Bausteins von den Pins. Befinden sich die Boundary-Scan-Zellen im Testmodus, kann mit diesen das Signal, mit welchem der aktive Baustein das angeschlossene Netz ansteuert, überwacht werden.

Die Trennung der Pin-Ansteuerung von der Funktionalität des aktiven Bausteins macht die Entwicklung des Boundary-Scan-Tests wesentlich einfacher als beim herkömmlichen Funktionstest, da für die Verwendung der Pins keine Gerätekonfiguration bzw. kein Booten erforderlich ist. Durch die Bereitstellung eines Mechanismus zur Ansteuerung und Überwachung aller aktivierten Signale auf einem Baustein, über einen TAP mit vier Pins, reduziert JTAG den für den Test einer Platine erforderlichen physikalischen Zugang beträchtlich.

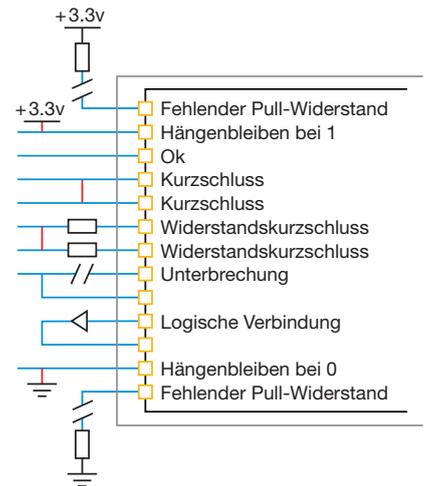
Für die Anwendung dieser Boundary-Scan-Fähigkeit zur Prüfung einer Platine gibt es zwei Hauptverfahren. Das erste Verfahren, der Verbindungstest (siehe nächster Abschnitt), liefert eine gute Testabdeckung, insbesondere bei Kurzschlüssen. Es basiert einzig und allein auf der JTAG-Fähigkeit des Bausteins, den Verbindungen und Netzen auf der Platine und – bei XJTAG – auf der Logikfunktionalität der Platine. Das zweite Verfahren erweitert diese Abdeckung durch die Verwendung von JTAG-fähigen Bausteinen auf einer Platine zur Kommunikation mit nicht JTAG-fähigen Peripheriegeräten, z. B. DDR RAM- und Flash-Speichern.

## Was ist XJTAGs erweiterter Verbindungstest?

Mit einem JTAG-Verbindungstest wird geprüft, ob die Anschlüsse um die JTAG-fähigen Bausteine auf einer Leiterplatte den Designvorgaben entsprechen.

Wenn zwei JTAG-fähige Pins verbunden sein sollen, prüft der Test, ob ein Pin durch den anderen angesteuert werden kann. Wenn JTAG-fähige Pins nicht verbunden sein sollen, werden sie auf Kurzschlüsse geprüft. Dies geschieht durch Ansteuerung eines Pins und Überprüfung, dass diese Werte an den anderen Pins nicht gelesen werden können. Fehlende Pull-Widerstände und Hafffehler können ebenfalls entdeckt werden.

XJTAGs Verbindungstest überprüft zudem auf Kurzschlussfehler bei Serienwiderständen und Fehler unter Beteiligung von Logikbausteinen, deren Verhalten in einer Wahrheitstabelle beschrieben werden kann.



## Was ist mit Bausteinen, die nicht JTAG-fähig sind?

Obwohl die wichtigsten Bausteine wie Prozessoren und FPGAs normalerweise JTAG-fähig sind, gibt es in jedem Design viele Bausteine, die es nicht sind. DDR, SDRAM, SRAM, Flash-Speicher, MDIO-gesteuerte Ethernet-PHYs, SPI- und I<sup>2</sup>C- Temperatursensoren, Echtzeituhren, ADCs und DACs sind nur einige Beispiele für solche Bausteine.

Trotzdem bietet der Verbindungstest ausgezeichnete Erfassung von Kurzschlüssen auf den Verbindungen zwischen nicht JTAG-fähigen und JTAG-fähigen Bausteinen. Er kann allerdings nicht auf Unterbrechungen zwischen JTAG-fähigen und nicht JTAG-fähigen Bausteinen prüfen.

Um die Erfassung von Unterbrechungen hinzuzufügen muss mit dem Peripheriebaustein über den Boundary-Scan am JTAG-fähigen Baustein kommuniziert werden. Wird eine Kommunikation bestätigt, kann kein Unterbrechungsfehler vorliegen. Diese Art der Prüfung kann sehr einfach sein, z. B. das Aufleuchten einer LED und Aufforderung eines Bedieners zu überprüfen, dass sie aktiviert wurde. Sie kann aber auch komplexer sein, wie beispielsweise das Schreiben von Daten in den Speicherblock eines RAM und das Zurücklesen dieser Daten.

## Erfordert die Erstellung eines XJTAG-Test-Systems viel Aufwand?

Mit der Verwendung der Bibliothek für nicht JTAG-fähige Standardkomponenten, die mit der XJTAG-Software bereitgestellt wird, können Sie ohne Code-Entwicklung sofort eine Reihe von Tests für Ihre Leiterplatte starten. Die XJTAG-Bibliothek beinhaltet Modelle für alle Arten von nicht JTAG-fähigen Bausteinen, angefangen bei einfachen Widerständen und Puffern bis hin zu komplexen Speicherbausteinen, wie DDR3. Da der Boundary-Scan die Ansteuerung der Pins auf JTAG-Bausteinen von ihrer Funktionalität trennt, kann dasselbe Modell verwendet werden, unabhängig davon, welcher JTAG-fähige Baustein die Peripheriekomponente steuert.

Die meisten Leiterplatten enthalten bereits JTAG-Sockel für die Programmierung oder Fehlersuche, so dass keine zusätzlichen Design-Anforderungen bestehen.

## Wo finde ich Informationen über JTAG in meinen Bausteinen?

Um einen Boundary-Scan-Test durchführen zu können, sind einige Informationen über die Implementierung von JTAG auf den JTAG-fähigen Bausteinen der Leiterplatte notwendig. Diese Informationen befinden sich in BSDL-Dateien (BSDL = Boundary Scan Description Language) für diese Bausteine. Die BSDL-Dateien müssen vom IC-Anbieter bereitgestellt werden, damit ein solcher Baustein mit dem Standard IEEE 1149.1 konform ist.

## Wird der JTAG-Test nur in der Produktion verwendet?

Keineswegs. Einer der größten Vorteile des Boundary-Scan-Tests besteht darin, dass nur ein JTAG-Controller als einzige Testhardware erforderlich ist. Andere Produktionstesttechnologien, wie Flying-Probe, automatische optische bzw. Röntgeninspektion oder Nadelbett erfordern allesamt spezielle Testausrüstungen, die am Ingenieursarbeitsplatz nicht verfügbar sind.

Die Anwendung des Boundary-Scan-Tests während der Leiterplattenentwicklung kann Unsicherheiten beseitigen. Hardware-Ingenieure können Prototyp-Leiterplatten vor dem Systemtest und sogar vor Fertigstellung der Firmware auf Fertigungsmängel prüfen. Testsysteme, die in dieser frühen Phase des Produktlebenszyklus entwickelt wurden, können einfach wiederverwendet und für die Produktion erweitert werden.

# Acht Gründe, warum Sie XJTAG zum Testen Ihrer Boards verwenden sollten

## Drei einfache Buchstaben – BGA

Eine zunehmende Anzahl von Bausteinen werden mit BGA-Gehäuse geliefert (BGA = Ball Grid Array). Jeder BGA-Baustein auf einer Leiterplatte sorgt für massive Einschränkungen der Prüfungen, die mit herkömmlichen Nadelbett- oder Flying-Probe-Maschinen durchgeführt werden können.

Durch die Nutzung einer einfachen Schnittstelle mit vier Pins ermöglicht der JTAG-Boundary-Scan die Ansteuerung und Überwachung der Signale an JTAG-fähigen Bausteinen ohne direkten physischen Zugang.

## Drei weitere Buchstaben – NRE

Die NRE-Kosten (NRE = Non-Recurring Engineering) für den Bau von Prüfvorrichtungen können unerschwinglich hoch sein. In vielen Fällen kann der JTAG-Boundary-Scan eine solche Vorrichtung überflüssig machen, in anderen Fällen kann die Vorrichtung stark vereinfacht werden, was zu beträchtlichen Kostensenkungen führt.

## Kürzere Prüfzeiten

Bei Leiterplatten mit geringen Produktionsmengen war es schon immer schwierig, die Kosten für die Entwicklung von Prüfvorrichtungen zu rechtfertigen. In diesen Fällen ist die Flying-Probe-Prüfung eine Alternative, allerdings sind die Prüfzykluszeiten bei dieser Technologie lang. Der JTAG-Boundary-Scan-Test bietet kurze Prüfzeiten ohne kostenintensive Vorrichtungen.

## Niedrigere Testentwicklungskosten

Da unterschiedliche Prozessoren bzw. FPGAs mit Peripheriebausteinen verschieden interagieren, erfordern herkömmliche Funktionstests teure kundenspezifische Entwicklung für jede Leiterplatte. Der JTAG-Boundary-Scan senkt solche Entwicklungskosten, da er eine vereinfachte Schnittstelle für die Ansteuerung der IO-Pins bietet, die mit Peripheriebausteinen zusammenspielen. Diese Standardschnittstelle, bei allen JTAG-fähigen Bausteinen gleich, bedeutet, dass beim Aufbau von Testsystemen eine generische Gruppe von Testmodellen verwendet und wiederverwendet werden kann.

## Ein Tool für Prüfung und Programmierung

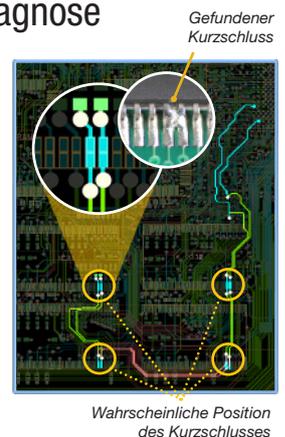
JTAG wird bereits oft für die Programmierung in der Produktion verwendet. Durch die Verwendung von JTAG auch für den Boundary-Scan-Test kann die Anzahl der Schritte und Handhabungsvorgänge im Produktionsprozess reduziert werden.

## Tests auf Produktionsebene am Ingenieursarbeitsplatz für Prototyp-Leiterplatten

Herkömmliche Prüftechnologien erfordern sehr große und teure Ausrüstungen. Für den JTAG-Boundary-Scan-Test ist nur ein einziges Testgerät erforderlich – ein JTAG-Controller. Der Controller XJLink2 von XJTAG hat die Größe einer PC-Maus.

## Ausgezeichnete Fehlerdiagnose

Der JTAG-Boundary-Scan bietet anders als der Funktionstest sehr genaue Fehlerinformationen, die hilfreich für eine schnelle Reparatur sind. Außerdem bietet XJTAG die Möglichkeit der Anzeige sowohl der physischen Position eines Fehlers auf dem Leiterplattenlayout, als auch der beteiligten Netze im Stromlaufplan.



## Wiederverwendung von Ausschuss-Boards, bei denen der Funktionstest nicht gelingt

XJTAG-Boundary-Scan-Tests können an jeder Leiterplatte durchgeführt werden, die eine funktionierende JTAG-Schnittstelle besitzt. Herkömmliche Funktionstests können nicht durchgeführt werden, wenn die Leiterplatte nicht bootet. Einfache Fehler an wichtigen Peripheriebausteinen, wie RAM oder Clocks, werden mit JTAG entdeckt, hindern aber die Funktionstests daran, Diagnoseinformationen zu liefern.

**Erfahren Sie mehr und erhalten Sie eine kostenlose XJTAG-Testversion**

[www.xjtag.de/angebot](http://www.xjtag.de/angebot)

XJTAG ist ein führender Anbieter von IEEE 1149.x-konformen Boundary-Scan-Software- und -Hardwaresystemen mit Kunden in vielen unterschiedlichen Branchen weltweit, darunter Luft- und Raumfahrt, Automobilbau, Verteidigung, Medizin, Fertigung, Netzwerke und Telekommunikation. XJTAG hat seinen Hauptsitz in Cambridge, GB.