

# Bessere Testmöglichkeiten

## Boundary-Scan-Ketten automatisch prüfen

Mit den neuen EDA-Software-Plugins von XJTAG lässt sich die Integrität der Boundary-Scan-Kette eines Boards analysieren, und zwar vor der Produktion jeglicher Hardware. Das beschleunigt den Debug-Prozess und die Programmierfähigkeit bei der Herstellung.

Autor: Stephen Love

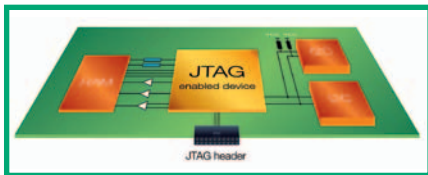


Bild: XJTAG

Der Chain-Checker erkennt automatisch Fehler wie falsch geroutete Signale oder schlecht beendete Busleitungen, die die ordnungsgemäße Funktion der Scankette verhindern können.

Um Fehler zu erkennen, analysiert die Software durch die JTAG-Kette rückübertragene Daten. Diese können aus Design- oder Produktionsfehlern wie fehlerhaften Verbindungen, Kurzschlüssen oder offenen Stromkreisen entstehen. Eine Prüfung von Nicht-JTAG-Komponenten ist durch den Einsatz von JTAG-Komponenten möglich, die die Schaltung um sie herum steuern. CPLDs, Flash-Speicher oder Mikrocontroller lassen sich mit JTAG in-situ schnell programmieren.

### Korrekturen vor dem Layout

Bei der Implementierung der JTAG-Kette sind vor allem zwei Aspekte zu berücksichtigen: die Kette muss korrekt zwischen den Komponenten geführt und die Signalintegrität auf dem Bus sicher sein. Zudem ist zu prüfen, ob die JTAG-Signale korrekt an die Komponenten angeschlossen und die entsprechenden Pull-up-/down- und Abschluss-Widerstände den jeweiligen Signalnetzen hinzugefügt sind. Diese Überprüfung ist in der Regel ein zeitaufwendiger, manueller Prozess.

Anwender von Altium Designer, Cadence Orcad-Capture oder Mentor Pads können die korrekte Implementierung der Boundary-Scan-Kette automatisch mit einer kostenlosen Softwareerweiterung überprüfen, dem DFT-Assistant von XJTAG. Wenn diese Überprüfung vor dem Board-Layout stattfindet, lassen sich eventuelle Korrekturen schnell und einfach anwenden. So sinkt die Wahrscheinlichkeit von Re-Spins.

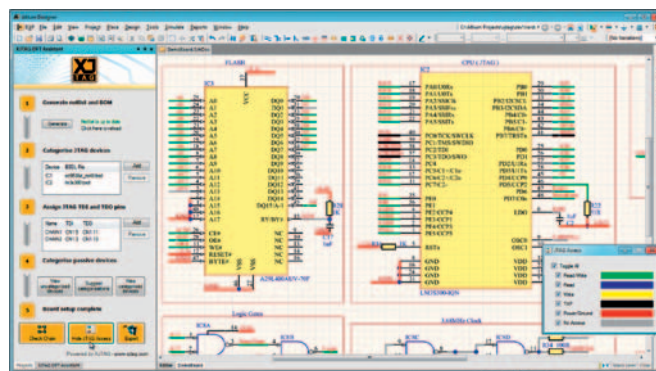


Bild 2: Der Access-Viewer von XJTAG zeigt den aktuellen Testzugriff an.

Neben der Überprüfung von Routing- und Signalintegritätsproblemen kann der DFT-Assistant genau prüfen, auf welche Netze zum Testen von Anschlüssen und Programmieren von Komponenten mit JTAG Zugriff besteht.

### Verschiedene Prüfungen

Das Tool umfasst zwei Hauptelemente: den Chain-Checker und den Access-Viewer. Der Chain-Checker erkennt Fehler wie falsch geroutete Signale oder schlecht beendete Busleitungen, die die ordnungsgemäße Funktion der Scankette verhindern können. Dies geschieht automatisch beim Anschließen des Boards.

Der Access-Viewer blendet das Ausmaß des Boundary-Scan-Zugriffs auf dem Schaltplan ein. So ist sofort erkennbar, welche Komponenten mit Boundary-Scan zugänglich sind und an welcher Stelle die Testabdeckung weiter ausbaubar ist. Die Netze lassen sich einzeln hervorheben, um Lesen, Schreiben, Strom/Masse und Netze ohne Boundary-Scan-Zugriff anzuzeigen.

Das führt zu besserer Testbarkeit und stellt die In-System-Programmierung sicher. Die erfassten Informationen tragen zur Identifikation von ICs bei, die zwar an die Kette angeschlossen sein könnten, aber übersehen wurden. Zudem ist zu sehen, welche Änderungen vorzunehmen sind, um zusätzliche Komponenten mit Boundary Scan auszustatten und so die Gesamttestabdeckung zu verbessern.

Durch die Darstellung des vorhandenen Boundary-Scan-Zugangs und das Erkennen von Designfehlern optimiert der DFT-Assistant die Produktentwicklung und maximiert die Testbarkeit von Leiterplatten während des gesamten Prototypings und der Produktion. (mou)

**Autor**  
Stephen Love  
CTO von XJTAG



all-electronics.de

infoDIREKT

► Halle A1, Stand 345

509pr117