

Komplexe Leiterplatten erfordern alternative Testmethoden

Die zunehmende Komplexität von Medizingeräten hat die Verwendung von BGA-Baugruppen vorangetrieben. Der physische Zugriff auf die Pins eines ICs ist heutzutage oft unmöglich, sodass Methoden zur Fehlersuche neu bewertet werden müssen. Mithilfe des Boundary-Scan-Tests können Ingenieure Fehler auch an unzugänglichen Stellen lokalisieren.

Stephen Love
CTO bei XTAG

Seit Willem Einthoven im Jahr 1903 den ersten kommerziellen Elektrokardiographen vorgestellt hat, ermöglichen stetige Fortschritte in der Elektronik, dass Systeme kleiner, leichter und mobiler gebaut werden können. Aus dem ersten, unhandlichen Gerät, bei dem ein Patient mit den Händen und einem Fuß in Eimern mit Salzlösung sitzen musste, entwickelten sich die modernen EKG-Geräte: Kleine mobile Boxen, die per USB an einen PC angeschlossen werden. Herzschrittmacher sind längst implantierbar und ihre lebenswichtige Funktion stützt sich auf winzige Platinen mit Mikrocontrollern, Speichern und digitaler Signalverarbeitung,

welche bessere Diagnoseanalysen, adaptive Reaktionen und Programmierbarkeit bieten.

Dieser Trend – hin zu kleineren und komplexeren Baugruppen – stellte Medizingerätehersteller vor neue Herausforderungen. Die Einführung von Ball-Grid-Array-Baugruppen (BGA) in den 1990er Jahren hat zwar die Größenreduzierung ermöglicht, sie brachte jedoch auch neue Schwierigkeiten mit sich: Plötzlich war es nicht mehr möglich, auf jeden Pin einer integrierten Schaltung (IC) zuzugreifen, die Sichtprüfung konnte nicht länger alle Löt-kurzschlüsse lokalisieren und Netze wurden oft unzugänglich.

Mangelnder physischer Zugriff auf Pins kann die meisten Debug-Versuche



Bilder: XTAG

verhindern. Der Board-Designer hat zwar möglicherweise ausgewählte Signale auf die Test-Pads gebracht, dies kann jedoch nicht für alle Netze passieren und viele Spuren verlaufen direkt zwischen zwei BGAs auf den inneren Schichten, ohne auch nur ein zugängliches Kontaktloch passieren zu müssen. Der unüberlegte Ansatz, bei dem ein BGA-Lötfehler vermutet wird, besteht darin, blindlings zu versuchen, die Platine erneut zu verfließen. Eine Alternative ist, dass ein erfahrener Röntgenmaschinist jeden Pin methodisch untersucht, bis er einen Riss, Kurzschluss oder einen Lötspunkt entdeckt, der nicht ausreichend fließt. Wenn dies dazu führt, dass ein Board zu Überprüfungen außer Haus gesendet werden muss, verlängert sich der Reparaturprozess nicht selten um Tage. Diese Herausforderungen werden von sich stets verkleinernden Leiterplattengrößen begleitet, was dazu führt, dass noch weniger Platz für Testpads zur Verfügung steht. Dies zwingt Ingenieure, neue Wege zu finden, um Design for Testability (DFT) zu erreichen und führt zur vermehrten Einführung von Boundary-Scan-Tests.

■ Zugriff auf unzugängliche Stellen

Im Jahr 1985 setzt sich die Joint Test Action Group (JTAG) zum ersten Mal mit fehlenden Testzugängen auseinander. Aus dem Logikaufbau, den sie für ICs entwickeln, entsteht später der Standard IEEE 1149.1, der den Boundary-Scan-Test für digitale integrierte Schaltungen ermöglicht. Er ist heutzutage in vielen Mikroprozessoren, FPGAs, CPLDs, GDDR6-Grafikspeichern und sogar einigen Ethernet-PHYs integriert. Tester haben so Zugriff auf zuvor unzugängliche Punkte der Leiterplatte, zum Beispiel die Pins unter einem BGA: In den IEEE-1149-Komponenten befinden

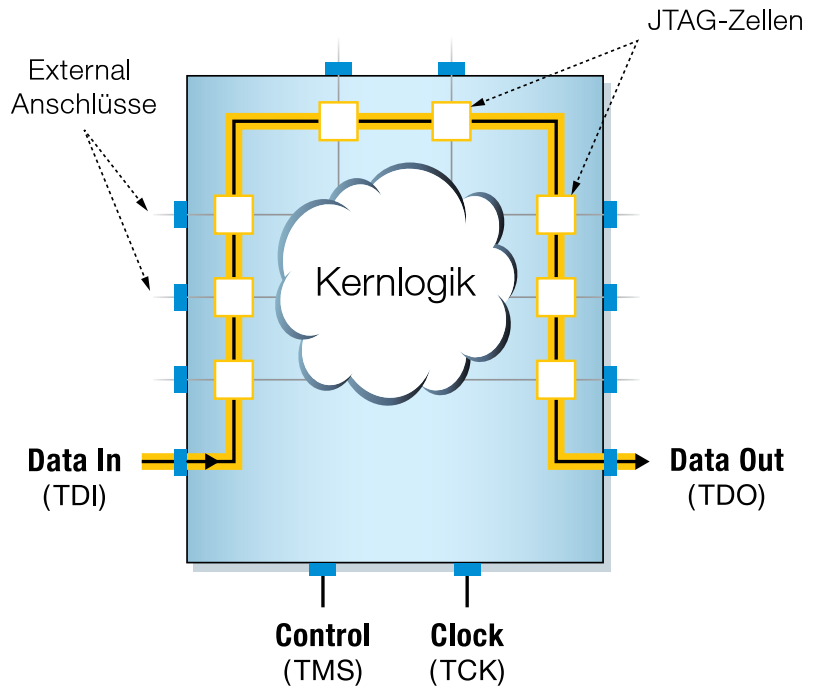


Bild 1. Boundary-Scan-Implementierung.

sich »Boundary-Scan-Zellen« zwischen der Logik der Komponente und den Pins des Gehäuses (oder BGA-Pins) (Bild 1). Diese zusätzlichen Zellen ermöglichen es, die Non-Power-Pins von ihrer gewöhnlichen Funktionalität zu isolieren und stattdessen von einem externen PC aus einzustellen und/oder zu lesen.

Die Schnittstelle zwischen der Komponente auf der Platine und dem PC wird als JTAG-Schnittstelle bezeichnet und besteht aus vier Signalen (plus einem optionalen Rücksetzsignal), die normalerweise zu einem kleinen Testheader geführt werden. Die Software versetzt die Komponente in den Boundary-Scan-Testmodus und übernimmt die Kontrolle über die Pins, auf denen ausgewählte Testmuster festgelegt werden. Die Boundary-Scan-Zellen zeichnen dann die tatsächlichen Ausgänge und die resultierenden Eingänge an anderen

Pins auf und die Ergebnisse werden über die JTAG-Schnittstelle zur Platine gesendet, damit die Software sie analysieren kann. Sie verwendet eine importierte Netzliste und eine Stückliste, um zu berechnen, welche Pins gesetzt werden sollen und was von anderen Pins gelesen werden soll. Die Anwendung einer Reihe solcher Testmuster ermöglicht es, Netze zu lokalisieren, die Fehler im offenen Stromkreis, einen Kurzschluss oder Haftfehler haben. Auf diese Weise kann ein automatisierter Tester bestätigen, dass digitale ICs funktionsfähig, korrekt platziert und frei von Lötfehlern sind.

Enthält eine Platine mehrere JTAG-fähige Komponenten, können diese miteinander verbunden werden, um eine einfache Schnittstelle zu erhalten (Bild 2). Die seriellen Daten für die gesamte Kette werden in die erste Komponente und durch

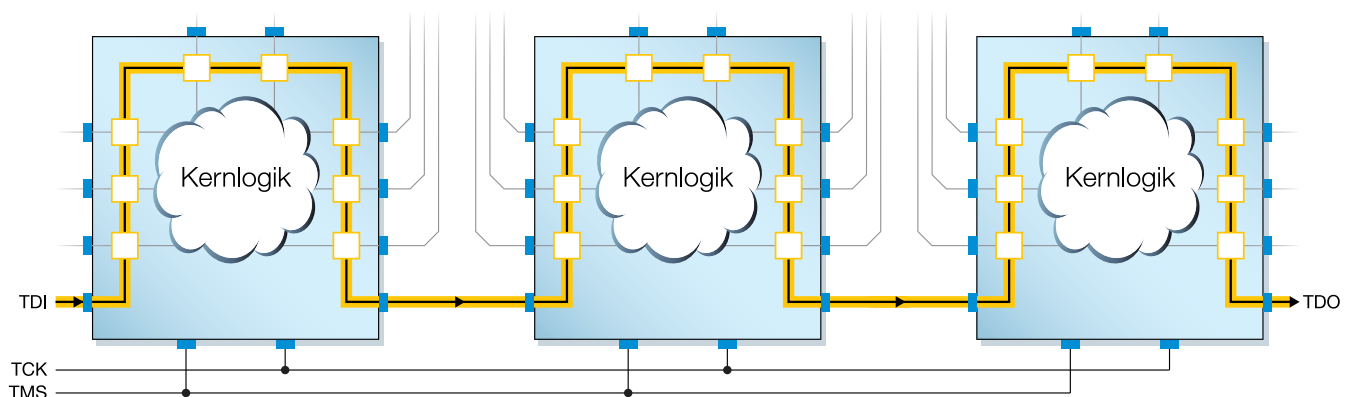


Bild 2. Mehrere JTAG-Komponenten können verbunden werden.

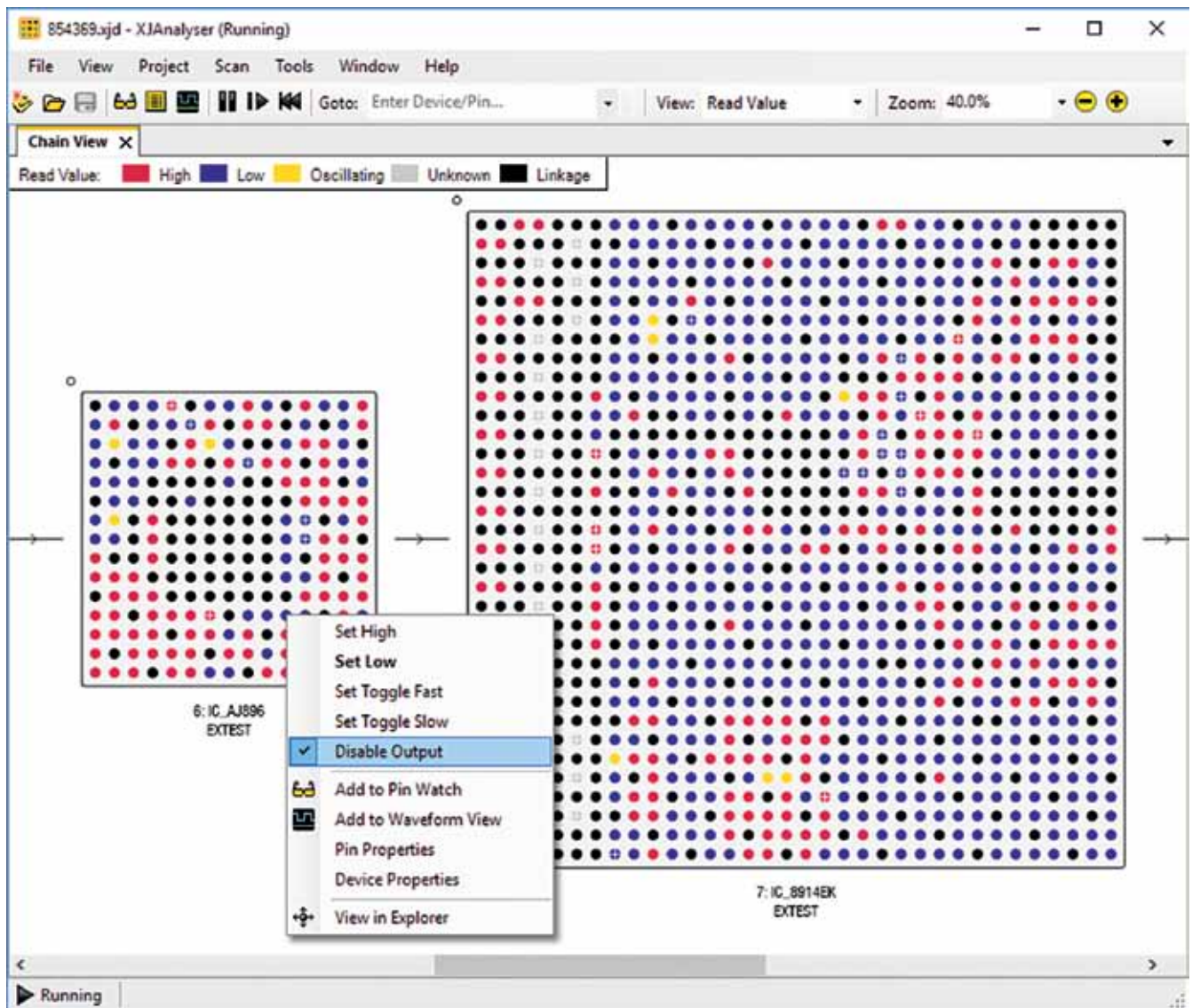


Bild 3. Ein intuitives, grafisches Interface für BGA-Debugging.

die gesamte Kette getaktet. Nach dem Scan der Pin-Stati werden die aufgezeichneten Daten über den Ausgang der Endkomponente aus der Kette herausgetaktet.

Eine Testsoftware, zum Beispiel von XJTAG, kann die Testabdeckung über die JTAG-fähigen Komponenten hinaus erweitern. Sie analysiert die Netz- und Stückliste, um zu bestimmen, wie Signale weiter in den digitalen Schaltkreis geleitet werden und wo die resultierenden Änderungen überwacht werden sollen. Auf diese Weise lässt sich die Funktionalität der Schaltung weit über die Kette der JTAG-Anteile hinaus testen.

Keine zusätzlich Software nötig

Boundary-Scan-Tests bieten viele Vorteile für den Produktionstest. Dank einer intuitiven Benutzeroberfläche sind nur wenige

oder keine Schulungen notwendig. Daher ist es nicht erforderlich, einen bestimmten Testingenieur ausschließlich für diese Aufgabe zu bestellen. Da die Schnittstelle über einen kleinen Steckverbinder läuft, besteht außerdem weniger Bedarf an digitalen PCBAs, was wiederum die Notwendigkeit plattenspezifischer Nagelbett-Testvorrichtungen verringert.

Wenn mit Auftragsfertigern gearbeitet wird, ist es nicht ungewöhnlich, dass die Endmontage an einem anderen Ort als dem erfolgt, an dem die SMT-Montage stattfindet. In solchen Situationen ist es vorteilhaft, die einzelnen Platinen vor dem Versand zu testen, um sicherzustellen, dass fehlerhafte Platinen identifiziert werden, bevor sie das Montagewerk erreichen, wo eine SMT-Nacharbeit eventuell nicht möglich ist. Boundary-Scan-Tests bieten Auftragsfertigern eine einfache und kos-

tengünstige Methode, fehlerhafte Platinen vor dem Versand zu identifizieren. Da auf der getesteten Platine keine Software laufen muss, vereinfacht dies den Test noch weiter. Denn so haben Auftragsfertiger die Möglichkeit, Platinen zu bauen und zu testen, ohne dass sie mit Firmware versorgt werden müssen.

Boundary-Scan-Tests können auch dazu beitragen, die unnötige Verschwendung teurer Komponenten zu vermeiden. BGA-Komponenten wie Mikrocontroller, FPGAs und Speicher sind auf Leiterplatten oft die teuersten und der Ersatz eines falschen Teils kann kostspielig werden. Die vorgestellte Testmethode kann helfen, Fehler genau zu lokalisieren und verringert so die Wahrscheinlichkeit, dass inkorrekte Teile entfernt werden müssen. Hersteller von Geräten wie Defibrillatoren beispielsweise, die Spannungen von bis zu 2 kV

erzeugen, profitieren von der Methode des Boundary-Scan-Tests. Sie können die digitale Steuerschaltung überprüfen, bevor sie die Hochspannungsteile für den Funktionstest einschalten müssen.

Wenn bekannt ist, dass der digitale Abschnitt frei von Montagefehlern ist, kann die JTAG-Schnittstelle auch für die schnelle In-System-Programmierung von Mikroprozessoren, CPLDs und FPGAs auf dem Board sowie für Flash-Speicher und EEPROMs verwendet werden, die an JTAG-fähige Komponenten angeschlossen sind. Es sind keine separaten Anschlüsse erforderlich und es muss nicht in separate Programmierstationen investiert werden. Das spart Zeit und Kosten, was wiederum die Effizienz der Fertigungsfläche verbessert.

Boundary-Scan-Tester beanspruchen aufgrund ihrer geringen Größe keine wertvollen Produktionsflächen, sondern ermöglichen eine leicht rekonfigurierbare Anordnung einer Produktionsanlage. Das macht sie besonders für beengte Produktionsumgebungen interessant. Sie lassen sich auch in bestehende Testsysteme wie SPEA oder Teradyne und in Systeme wie Labview oder gar völlig unabhängig integrieren, wodurch sie eine sehr vielseitige und kostengünstige Lösung darstellen.

Da auf der Platine keine Software auszuführen ist, können Boundary-Scan-Tests für den ersten Prototyp verwendet werden, bevor Codes geschrieben werden. Das weitet den Einsatz über die Produktionsumgebung auf den gesamten Produktlebenszyklus aus. Ein Design-Ingenieur muss sich nicht mehr mit ungeprüften Boards auseinandersetzen, sie können jetzt getestet werden, bevor sie auf seinem Tisch landen. Boundary-Scan-Tests können auch außerhalb des Standorts problemlos verwendet werden, da JTAG-Controller wie XJTAGs XJLink2 (zur Verbindung des PC mit der getesteten Platine) klein und leicht sind. Sie sind somit ideal, um Ausstattungen vor Ort zu überprüfen.

■ *Status der Pins in Echtzeit*

Während Boundary-Scan-Testsoftware wie XJTAGs XJRunner eine Lösung für derartige automatisierte Tests bietet, verwenden zugehörige Tools wie XJAnalyser Boundary-Scan-Techniken, um ein leistungsfähiges Debugging-Tool bereitzustellen. Diese Software bietet dem Bediener eine interaktive grafische Darstellung aller JTAG-Komponenten auf der Platine (*Bild 3*). Durch

einfaches Klicken auf das Bild des Pins wird das physische Gegenstück auf Hoch, Niedrig, Kippen oder Impedanz eingestellt. Dieselbe bildliche Echtzeitanzeige wird verwendet, um den resultierenden Status der Pins aller JTAG-fähigen Komponenten zu überwachen, wobei die Farbcodierung eine leicht nachvollziehbare Darstellung der gelesenen Ebenen darstellt.

Indem sichergestellt wird, dass sich die Leitungen wie erwartet ändern oder jene erkannt werden, die es nicht tun, kann der Bediener die Durchgängigkeit der Signale auf der Leiterplatte untersuchen und eventuelle Unterbrechungen oder Kurzschlüsse feststellen. Die Software prüft auch auf Konflikte, um sicherzustellen, dass ein Bediener nicht versucht, einen Pin so zu treiben, dass die Platine beschädigt wird.

Bei Verwendung in Verbindung mit einem Oszilloskop oder Multimeter wird es zu einer Debug-Hilfe. Der Bediener kann mit diesem grafischen Werkzeug die ansonsten unzugänglichen Pins auf Hoch, Niedrig oder Toggle setzen und dann mit einer Standardausrüstung die Spannungen an anderen Komponenten überprüfen und sicherstellen, dass sie sich entsprechend verändern. Es funktioniert auch andersherum: Linien an anderer Stelle auf der Platine können manuell auf Hoch oder Tief gesetzt werden, und der Analyser zeigt die resultierenden Änderungen an seinen Pins an, um zu bestätigen, dass die Eingangssignale korrekt in das Silizium gelangen.

■ *Fazit*

Der Medizinsektor wird sich unweigerlich mit einer wachsenden Komplexität elektronischer Baugruppen konfrontiert sehen. Bedenken hinsichtlich der Unzugänglichkeit von BGAs sind jedoch unbegründet. Die Herausforderungen, die die Verwendung dieser Pakete beim Assemblierungstest mit sich bringt, werden durch Boundary-Scan-Tests einfach und effizient angegangen.

Auf der zu testenden Platine muss keine Software ausgeführt werden. Dennoch kann ein angeschlossener PC die Pins von JTAG-fähigen Komponenten überwachen und steuern, sodass automatisierte Testsysteme zuvor nicht zugängliche Netze lesen und steuern können, um Montagefehler zu überprüfen. Diese Methode bietet nicht nur für die Massenfertigung Vorteile, sondern auch für die Überprüfung des ersten Prototyps, noch bevor eine einzige Codezeile geschrieben wurde. ■